

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-345175

(43)Date of publication of application : 14.12.1999

(51)Int.Cl.

G06F 13/00
G06F 13/14
G06F 13/36

(21)Application number : 10-153288

(71)Applicant : NEC KOFU LTD

(22)Date of filing : 02.06.1998

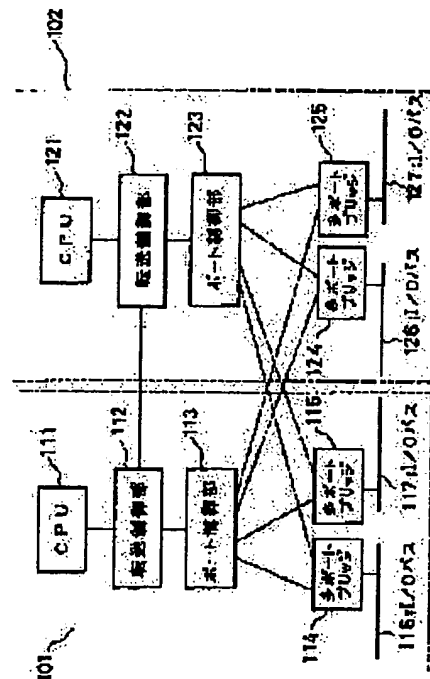
(72)Inventor : YONEZAWA NAOMICHI

(54) SYSTEM AND METHOD FOR CONTROLLING SUBSTITUTIVE PATH

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a substitutive path control system capable of providing a substitutive path to an I/O device without using plural I/O cards, without being affected by the number of ports at a connected I/O device or the like and without being concerned about the switching of the substitutive path on a software.

SOLUTION: An address space dividing continuous I/O address spaces is provided for each of respective I/O buses 116, 117, 126 and 127 and for an information processor composed of plural systems having independent paths from respective CPU to the I/O buses, while having a dedicated path among system. This device is provided with transfer control parts 112 and 122 for performing control, so as to transfer an I/O request from CPU 111 and 121 via the other system, when a fault occurs on the path from one CPU to the I/O bus.



LEGAL STATUS

[Date of request for examination] 02.06.1998

[Date of sending the examiner's decision of rejection] 18.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-345175

(43) 公開日 平成11年(1999)12月14日

(51) Int.Cl. ⁶	識別記号	F I
G 0 6 F 13/00	3 0 1	G 0 6 F 13/00
13/14	3 1 0	13/14
13/36	3 2 0	13/36
		3 0 1 K
		3 1 0 E
		3 2 0 A

審査請求 有 請求項の数13 O L (全 20 頁)

(21) 出願番号 特願平10-153288

(22) 出願日 平成10年(1998)6月2日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 米澤 直道

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

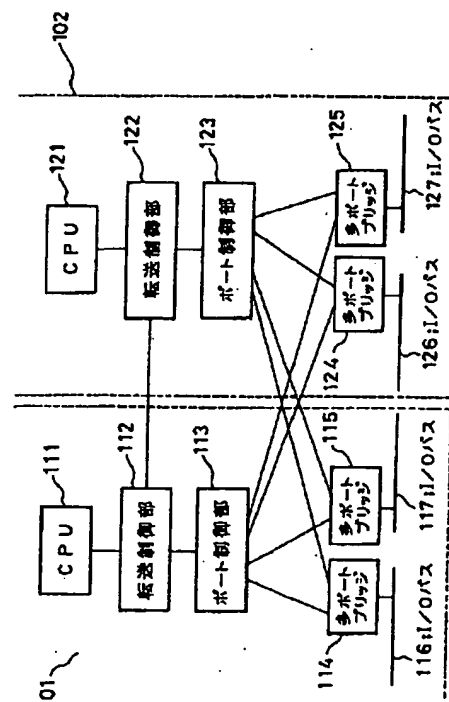
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 代替バス制御システム及び方法

(57) 【要約】

【課題】複数のI/Oカードを用いることなく、また接続されるI/Oデバイスのポート数等の影響されず、且つソフトウェア上の代替バスの切り替えを意識することなく、I/Oデバイスへの代替バスを実現可能とする代替バス制御システムの提供。

【解決手段】各I/Oバス毎に、連続するI/Oアドレス空間を分割したアドレス空間を有し、各CPUから、前記I/Oバスに対する独立したバスを有する複数の系から成り、系間に専用のバスを有する情報処理装置において、一のCPUから前記I/Oバスへのバス上に障害が発生した場合、前記CPUからの前記I/Oリクエストを他系を経由して転送するように制御する手段を備える。



【特許請求の範囲】

【請求項1】各I/Oバス毎に固有のアドレス空間を有し、各CPUから前記I/Oバスに対する独立したバスを有する複数の系から成り、系間に専用のバスを有する情報処理装置の代替バス制御システムであって、一の系のCPUからI/Oバスに至るパス上に障害が発生した場合、前記CPUからの前記I/Oバスに接続するI/O装置へのアクセス要求を、他系のバスを経由して転送するように制御する手段を備えたことを特徴とする代替バス制御システム。

【請求項2】各CPUからI/Oバスに対する独立したバスを有する複数の系から成る情報処理装置の代替バス制御システムであって、系間でCPUからのI/Oリクエストを転送する手段と、他の系のI/Oバスのポートに接続する手段と、を備え、

一の系のCPUからI/Oバスに到るパス上で障害発生時、前記一の系又は他の系のCPUからの前記一の系のI/Oバスに接続するI/O装置へのI/Oリクエストを、一旦、他の系に転送した後、前記I/Oバスのポートの入り口で、再度、前記一の系に戻すように制御する手段を備えたことを特徴とする代替バス制御システム。

【請求項3】各系のI/Oバス毎に固有のI/Oアドレス空間を有し、一の系のCPUから前記一の系のI/Oバス及び他の系のI/Oバスへのバスを有する情報処理装置の代替バス制御システムであって、一の系において、前記一の系の上流、もしくは他の系から転送されてきたI/Oリクエストに含まれるI/Oアドレスから、前記一の系のI/Oバスへのアクセス要求であるか他の系のI/Oバスへのアクセス要求であるかを判断し、該判断結果に応じて前記一の系の配下、もしくは他の系へ前記I/Oリクエストを転送制御する手段が、配下のI/Oバスに到るパス上で障害発生時、該障害情報に基づき、前記一の系の上流から、もしくは他の系から転送されてきた、前記一の系のI/Oバスへのアクセス要求である前記I/Oリクエストを、一旦、他の系に強制的に転送し、前記I/Oリクエストは前記他の系のバスを進み、I/Oバスのポートの入り口で、再度、前記一の系側に戻るよう制御されることを特徴とする代替バス制御システム。

【請求項4】CPUと、

自系、及び他系のCPUから出力されるI/Oリクエストを、指定されたI/O空間のアドレスにより、自系のバスに転送するか他系のバスに転送するかを選択する転送制御手段と、

I/Oバスに接続するための複数のポートを有し、前記転送制御手段から送られてきたI/Oリクエストを、I/O空間のアドレスから、どのI/Oバスに接続されたポートに転送するかを選択し選択された自系又は他系の

ポートに転送するポート制御手段と、

前記ポート制御手段の複数のポートから転送されてくるI/Oリクエストを、配下のI/Oバスのトランザクションに変換して転送するポートブリッジ手段と、周辺機器を接続するためのインタフェースカードを接続するI/Oバスと、

を系毎に備え、

前記転送制御手段では、ポートの障害情報及び代替バス情報を記憶管理して、I/Oリクエストを転送すべき系を選択し、自系の配下のポートに障害がある場合には、前記代替バス情報に基づき、他系の転送制御手段に対して前記I/Oリクエストを転送し、他系のポート制御手段を介し、再度自系のポートブリッジ手段に転送されるバスが選択されて自系のI/Oバスに接続する周辺機器へのアクセスを行う、ことを特徴とする情報処理装置。

【請求項5】前記転送制御手段が、I/Oリクエストの転送に際して、他系への強制転送を指示する強制転送指示情報を付加する手段を備え、

前記転送制御手段が、他系の前記転送制御手段から前記強制転送指示情報の付加されたI/Oリクエストが転送されてきた場合には、前記I/Oリクエストの内容によらず、前記I/Oリクエストを前記転送制御手段は自系配下のバスに転送するように制御する、ことを特徴とする請求項4記載の情報処理装置。

【請求項6】前記転送制御手段が、自系のポート制御手段の持つポートにそれぞれ対応して設けられ、前記CPUまたは他系からのI/Oリクエストを、自系に転送すべきか他系に転送すべきかを判断する複数のポート選択手段と、

前記複数のポート選択手段の判断結果出力から、前記CPUまたは他系から入力された前記I/Oリクエストが自系のポートに対するアクセスであることを出力する自系指示手段と、

前記複数のポート選択手段の判断結果出力から、前記CPUまたは他系から入力された前記I/Oリクエストが自系ではなく代替バスを持つ他系に出力することを指示する他系指示手段と、

前記複数のポート選択手段でそれぞれ保持する代替バス番号情報の値と、前記複数のポート選択手段から出力される代替バス指示信号とから、前記CPUまたは他系から入力されるI/Oリクエストを転送すべき代替バスを有する系を選択する代替バス選択手段と、

前記CPUまたは他系からの前記I/Oリクエストと、前記自系指示手段の出力と、前記他系指示手段の出力と、代替バス選択手段の出力とから、前記I/Oリクエストを自系に転送するか又は他系に転送するかを判断して出力するリクエスト出力手段と、を備えたことを特徴とする請求項4記載の情報処理装置。

【請求項7】前記ポート選択手段が、対応するポートが

接続されるI/Oバスの持つI/O空間の範囲を規定する値を記憶するレンジ記憶手段と、
前記CPUまたは他系から送られてくるI/Oリクエストの持つI/Oアドレスが、前記レンジ記憶手段の値で示される範囲に入っているか否かを比較し、該範囲に入っている場合に、一致信号を出力するレンジ比較手段と、
対応するポートが障害状態であることを保持するポート障害情報記憶手段と、
対応するポートへの代替バスを持つ系の番号を保持する代替バス番号記憶手段と、
前記レンジ比較手段から出力される一致指示と、前記ポート障害情報記憶手段の値から、対応するポートが障害状態の時に、前記対応するポートへのI/Oリクエストを、自系に転送せずに代替バスを有する他系に転送することを示す前記代替バス指示信号を出力する代替バス指示手段と、
を備えたことを特徴とする請求項5記載の情報処理装置。

【請求項8】前記リクエスト出力手段が、前記他系指示手段から他系へのI/Oリクエストの転送指示がある場合には、前記I/Oリクエストに強制転送指示を添付して他系に転送し、且つ他系からのI/Oリクエストに強制転送指示がある場合には無条件に自系へI/Oリクエストを出力する、ことを特徴とする請求項5記載の情報処理装置。

【請求項9】前記ポート制御手段が、ポートに対応して設けられ、前記転送制御手段から送られてきた前記I/Oリクエストを、前記I/Oリクエストの持つI/Oアドレスから、対応するI/O空間を持つI/Oバスに接続されたポートの1つにのみ転送するポート分配手段を備えたことを特徴とする請求項4記載の情報処理装置。

【請求項10】前記ポート分配手段が、対応するポートの接続されるI/Oバスの持つI/Oアドレスのレンジを記憶するポートレンジ記憶手段と、
入力されたI/OリクエストのI/Oアドレスが前記ポートレンジ記憶手段で指定される範囲に入っているか否かを比較判断し、範囲内にある場合には対応するポートに前記I/Oリクエストを転送するポートリクエスト制御手段を備えたことを特徴とする請求項9記載の情報処理装置。

【請求項11】前記ポートレンジ記憶手段の始点及び終点の値を隣合うポート分配手段間で共用するように構成されてなることを特徴とする請求項10記載の情報処理装置。

【請求項12】各CPUからI/Oバスに対する独立したバスを有する複数の系から成る情報処理装置の代替バスの制御方法であって、

一の系のCPUからI/Oバスに到るパス上で障害発生時、前記一の系又は他の系のCPUからの前記一の系の

I/Oバスに接続するI/O装置へのI/Oリクエストを、一旦、他の系に転送した後、前記I/Oバスのポートの入力口で、再度、前記一の系に戻すように制御する、ことを特徴とする代替バス制御方法。

【請求項13】CPUと、

自系、及び他系のCPUから出力されるI/Oリクエストを、指定されたI/O空間のアドレスにより、自系のバスに転送するか他系のバスに転送するかを選択する転送制御手段と、

I/Oバスに接続するための複数のポートを有し、前記転送制御手段から送られてきたI/Oリクエストを、I/O空間のアドレスから、どのI/Oバスに接続されたポートに転送するかを選択し選択された自系又は他系のポートにするポート制御手段と、

前記ポート制御手段の複数のポートから転送されてくるI/Oリクエストを、配下のI/Oバスのトランザクションに変換して転送するポートブリッジと、
周辺機器を接続するためのインタフェースカードを接続するI/Oバスと、

を系毎に備えた情報処理装置の入出力バスの代替バスの選択制御する方法であって、

前記転送制御手段でポートの障害情報及び代替バス情報を記憶管理し、自系の配下のポートに障害がある場合には、前記代替バス情報に基づき、他系の転送制御手段にI/Oリクエストを転送し、他系のポート制御手段を介して、再度自系のポートブリッジに転送されるバスを選択することで自系のI/Oバスに接続する周辺機器へのアクセスを行う、ことを特徴とする代替バス制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理装置におけるI/O制御システムに関し、特に、I/Oバスへのアクセス時の代替バス選択制御システム及び方法に関する。

【0002】

【従来の技術】従来の動的代替バスの制御システムについて図17を参照して説明する。

【0003】図17において、系401、402はそれぞれ独立したI/Oバスと、該I/Oバスに対し独立したバスを有すると共に、系間でリクエストを転送するためのバスを有する。

【0004】系401、402のCPU411、421は、独立に情報処理を行うプロセッサである。

【0005】転送制御部412、422は、CPU411、421から出力されるI/Oリクエストを受け取り、自系のどのポートに転送するか他系に転送するかを判断して、リクエストの転送を行う。

【0006】PCIブリッジ413、414、423、424は、転送制御部412、422からのリクエストを受け取り、PCI (Peripheral Component Inte

connect) バスのプロトコルに変換して転送する。

【0007】I/Oバス415、416、425、426は、I/Oデバイスを接続する為のPCIバスである。

【0008】SCSI (small computer serial interface) カード417、427は、PCIバスに接続されるSCSI制御用のカードである。

【0009】ディスク装置43は、SCSIカード417、427に接続された外部記憶装置である。

【0010】図17に示すシステム構成において、例えばSCSIカード417に対するアクセスを行う場合、PCIブリッジ413のバスを常に使用する必要があった。

【0011】このため、PCIブリッジ413に障害が発生すると、SCSIカード417には、一切アクセスすることができない。

【0012】このようなI/Oバス上の障害に対応すべく、図17に示すように、SCSIカード417、427をI/Oバス415、425に接続するという具合に、異なるI/Oバス上に、2枚のI/Oカードを設け、2枚のI/Oカード(SCSIカード)から、ディスク装置43のような外部のI/Oデバイスに対し、クロス接続を行うことで、一方の系のPCIブリッジ413が故障し、SCSIカード417が使えなくなっても、他方のPCIブリッジ423配下のSCSIカード427を経由してディスク装置43に対するアクセスバスを確保するようにしていた。

【0013】なお、障害発生時の代替バス選択システムに関連する刊行物として、例えば特開平8-212147号公報には、CPUと複数の入出力装置の中のいずれかの入出力装置間との間での情報を選択的に送受するためのチャネルバスの管理・制御を行うチャネル処理装置において障害の発生したチャネルバスに関する物理チャネル番号及び論理チャネル番号を、オペレーティングシステムが使用していないチャネルバスの物理チャネル番号及び論理チャネル番号と動的に交換するようにしたチャネル処理装置が提案されている。また、例えば特開平3-105540号公報には、障害入出力バスを認識し、チャネルを制御するハードウェアであるI/Oプロセッサに障害入出力バスを選択しないように通知することで、チャネル障害対策中でも入出力要求を実行可能とした入出力制御方式が提案されている。なお、これらの方式を、図17に示したシステムにそのまま適用することは、その構成が相違することから、不可能である。

【0014】

【発明が解決しようとする課題】しかしながら、図17を参照して説明した上記従来の動的代替バス制御システムにおいては、次のような問題点を有している。

【0015】第1の問題点は、一つの装置内で搭載できるI/Oカードの種類が減り、コストアップにもなる、

ということである。

【0016】その理由は、一つのディスク装置等のデバイスに対してバス切り替えの為にI/Oカードが2枚必要とされる、ためである。

【0017】第2の問題点は、1ポートしか持たないデバイスには適用不能であり、結局、任意のI/Oデバイスに対応した制御システムとはなり得ず、汎用性に乏しい、ということである。

【0018】その理由は、ディスク装置のような外部デバイスが2ポート以上の入力を有することが必要とされている、ためである。

【0019】第3の問題点は、専用のサポートソフトウェアを必要とする、ということである。

【0020】その理由は、SCSIカードのような個々のI/Oカードは、ソフトウェア上、個別のカードとして認識されることになるため、ソフトウェア的にこのカードがクロスバスを結んでいることを認識し、障害発生時には、どのバスを使うかをソフトウェア(プログラム)が判断する必要があり、このため専用のサポートソフトウェアが必要となる、ためである。

【0021】したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、上記従来のシステムのように、複数のI/Oカードを用いることなく、また接続されるI/Oデバイスのポート数等の影響されず、且つソフトウェア上の代替バスの切り替えを意識することなく、I/Oデバイスへの代替バスを実現可能とする代替バス制御システムを提供することにある。

【0022】

【課題を解決するための手段】前記目的を達成するため、本発明は、各I/Oバス毎に、固有のアドレス空間を有し、各CPUから、前記I/Oバスに対する独立したバスを有する複数の系から成り、系間に専用のバスを有する情報処理装置において、一のCPUから前記I/Oバスへのバス上に障害が発生した場合、前記CPUからの前記I/Oリクエストを他系を経由して転送するように制御する手段を備えたことを特徴とする。

【0023】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明の代替バス制御システムは、その好ましい実施の形態において、系間に、I/Oトランザクションを転送する手段と、他系のI/Oバスのポートに接続する手段と、を備え、CPUから自系のI/Oに対するアクセスを、一旦他系に転送した後、I/Oポートの入り口で、再度自系に戻すバイパス機能を有しているため、自系のバス上の何処かに障害が発生した場合、このバイパス機能を有効とすることにより、I/Oバスに対する動的な代替バスを実現可能としたものである。

【0024】より詳細には、本発明の代替バス制御システムは、CPU(図1の111、121)と、自系及び他系のCPUから出力されるI/Oリクエストを、指定

されたI/O空間のアドレスにより、自系のバスに転送するか他系のバスに転送するかを選択する転送制御手段(図1の112、122)と、I/Oバスに接続するための複数のポートを有し、前記転送制御手段から送られてきたI/Oリクエストを、I/O空間のアドレスから、どのI/Oバスに接続されたポートに転送するかを選択し選択された自系又は他系のポートに転送するポート制御手段(図1の113、123)と、前記ポート制御手段の複数のポートから転送されてくるI/Oリクエストを、配下のI/Oバスのトランザクションに変換して転送するポートブリッジ手段(図1の114、115、124、125)と、周辺機器を接続するためのインタフェースカードを接続するI/Oバス(116、117、126、127)と、を系毎に備え、前記転送制御手段(図1の112、122)では、ポートの障害情報及び代替バス情報を記憶管理し、I/Oリクエストを転送すべき系を選択し、自系の配下のポートに障害がある場合には、前記代替バス情報に基づき、他系の転送制御手段にI/Oリクエストを転送し、他系のポート制御手段を介し、再度自系のポートブリッジ手段に転送され、バスが選択されて前記I/Oバスに接続する周辺機器へのアクセスが行われる。以下図面を参照して詳説する。

【0025】図1は、本発明の一実施の形態の構成を示す図である。図1を参照すると、系101と系102は、それぞれ独立したI/Oバスと、各I/Oバスに対し独立したバスを有する。系101、102のCPU111、121は、独立に情報処理を行うプロセッサである。

【0026】系101、102の転送制御部112、122は、それぞれ、自系、及び他系のCPU111、121から出力されるI/Oリクエストを、指定されたI/O空間のアドレスにより、自系のバスに転送するか他系のバスに転送するかを選択する。

【0027】また、系101、102の転送制御部112、122間において、I/Oリクエストの転送に、強制転送指示を付加する機能を設けると共に、他系から強制転送指示の付加されたリクエストが転送されてきた場合は、I/Oリクエストの内容によらず、自系のバスに転送する。強制転送指示は、アドレスやデータと同様にI/Oリクエストに付随される情報である。

【0028】系101、102のポート制御部113、123は、それぞれI/Oバスに接続するための複数のポートを有し、転送制御部112、122から送られてきたI/Oリクエストを、I/O空間のアドレスから、どのI/Oバスに接続されたポートに転送するかを選択する。なお、転送制御部112、122では、この強制転送指示を含むI/Oリクエストが入力されると、無条件に自己配下のポート制御部に対してI/Oリクエストを出力する。

【0029】系101の多ポートブリッジ114、115、及び、系102の多ポートブリッジ124、125は、2つ以上のポート制御部113、123から転送されてくるI/Oリクエストを、配下のバスのトランザクションに変換し、転送する。

【0030】系101のI/Oバス116、117、及び、系102のI/Oバス126、127は、周辺機器を接続するためのインタフェースカードを接続する為のI/Oバスである。

【0031】図2は、本発明の一実施の形態における転送制御部の構成の一例を示す図である。なお、図2において、201、202、203、204はポート選択部であり、これらは互いに同一構成であるため、図2では、ポート選択部201の内部構成のみが示されている。

【0032】図2を参照すると、ポート選択部201、202、203、204は、自系のポート制御部113、123の持つ各ポート(4ポート)に対応し、CPU111、121のうち自系のCPUまたは他系からのリクエストを、自系のバスに転送すべきか他系のバスに転送すべきかを判断する。以下では、ポート選択部201についてその構成を説明し、同一構成のポート選択部202、203、204の説明は適宜省略する。

【0033】ポート選択部201のレンジレジスタ211は、対応するポートの持つI/O空間のレンジを保持するレジスタである。他のポート選択部202、203、204も同等のレンジレジスタを有する。

【0034】レンジ比較部212は、CPUから送られてくるI/Oリクエストの持つI/Oアドレスが、レンジレジスタ211で示される範囲に入っているか否かをウィンドウコンパレータで判定し、範囲内にあれば一致信号を出力する。他のポート選択部202、203、204も同等のレンジ比較部を有する。

【0035】ポート障害フラグ213は、対応するポートが障害状態であることを保持するレジスタである。他のポート選択部202、203、204も同等のポート障害フラグを有する。

【0036】代替バス番号レジスタ214は、対応するポートへの代替バスを持つ系の番号を保持するレジスタである。他のポート選択部202、203、204も同等の代替バス番号レジスタを有する。

【0037】代替バス指示部215は、レンジ比較部212から出力される一致指示と、ポート障害フラグ213の値とから、対応するポートへのI/Oアクセスを、他系にある代替バスに転送する事を示す代替バス指示信号を出力する。他のポート選択部202、203、204も同等の代替バス指示部を有する。

【0038】自系指示部205は、各ポート選択部201、202、203、204が出力する一致指示の論理和(OR)演算をとり、CPUからのI/Oリクエスト

または他系から出力されたI/Oリクエストが、自系のポートに対するアクセスである場合に出力を有効(アクティブ)とする。

【0039】他系指示部206は、各ポート選択部201、202、203、204の出力する代替バス指示信号の論理和(OR)演算をとり、CPUまたは他系から出力されたI/Oリクエストを、代替バスを持つ他系に出力する事を指示する。

【0040】代替バス選択部207は、ポート選択部201、202、203、204の保持する代替バス番号レジスタ214の値と、代替バス指示部215からの代替バス指示信号と、から、自系CPUまたは他系からのI/Oリクエストを転送すべき系を選択する。

【0041】リクエスト出力部208は、CPUまたは他系からのI/Oリクエストと、自系指示部205の出力と、他系指示部206の出力と、代替バス選択部207の出力と、から、自系にリクエストを転送するか又は他系にI/Oリクエストを転送するかを、判断して出力する。また、他系指示部206から他系への転送指示がある場合には、他系に対して、強制転送指示を添付して転送する。合わせて、他系からのリクエストに強制転送指示がある場合には、無条件に自系配下へI/Oリクエストを出力する。なお、強制転送指示は、他系への転送指示が有効な時に設定され、その以外の場合には、転送制御部間の転送であっても、強制転送指示情報はI/Oリクエストには付加されない。

【0042】図3は、本発明の一実施の形態におけるポート制御部の構成の一例を示す図である。図3において、301、302、303、304はリクエスト分配部であり、同一構成であることから、図では、リクエスト分配部301の内部構成のみが示されている。

【0043】図3を参照すると、リクエスト分配部301、302、303、304は、転送制御部512、522から送られてきたI/Oリクエストを、I/Oリクエストの持つI/Oアドレスから、複数あるポートの1つにのみ転送する。

【0044】ポートレンジレジスタ311は、対応するポートが接続されるバスの持つI/Oアドレスのレンジを保持するレジスタである。他のリクエスト分配部302、303、304も同等のポートレンジレジスタを有する。

【0045】ポートリクエスト制御部312は、入力されたI/OリクエストのI/Oアドレスが、ポートレンジレジスタ311で指定される範囲に入っているか否かをウィンドウコンパレータで判断し、範囲内に入っている場合には、対応するポートにリクエストを転送する。他のリクエスト分配部302、303、304も同等のポートリクエスト制御部を有する。

【0046】

【実施例】上記した本発明の実施の形態についてさらに

詳細に説明すべく、本発明の一実施例について図面を参照して以下に説明する。

【0047】図4は、本発明の一実施例の構成を示す図である。図4を参照すると、本発明の一実施例においては、各系501、502に、1本ずつのI/Oバスを持ち、転送制御部間とポート制御部と多ポートブリッジ間で系間を接続するバスを有することで、動的な代替バスの制御を行うようにしたものである。

【0048】図4を参照すると、CPU511、521は、情報の処理を行うプロセッサである。転送制御部512、522は、CPU511、521または他系502、501から出力されるI/Oリクエストを指定されたI/O空間のアドレスにより、自系に転送するか又は他系に転送するかを選択して、出力する。

【0049】ポート制御部513、523は、転送制御部512、522から送られてきたI/Oリクエストを、当該I/Oリクエストの持つI/Oアドレスから、どのI/Oバスに接続されたポートに転送するかを選択して出力する。

【0050】多ポートブリッジ514、524は、双方の系のポート制御部513、523から転送されてくるI/Oリクエストを、配下のバスのトランザクションに変換して、転送する。

【0051】I/Oバス515、525は、周辺機器を接続するためのインタフェースカードを接続する為のバスである。

【0052】ポート00(#0)出力516は、ポート制御部513の出力の1つであり、I/Oバス515の通常バスのポートとなる。

【0053】ポート01(#1)出力517は、ポート制御部513の出力の1つであり、I/Oバス525に対する代替バスのポートとなる。

【0054】ポート11(#3)出力527は、ポート制御部523の出力の1つであり、I/Oバス515に対する代替バスのポートとなる。

【0055】ポート10(#2)出力526は、ポート制御部523の出力の1つであり、I/Oバス525の通常バスのポートとなる。

【0056】図5は、図4に示した転送制御部512、522の詳細な構成を示す図である。

【0057】図5を参照すると、ポート選択部601、602は、自系のポート制御部513、523の持つ2つのポートにそれぞれ対応し、CPUまたは他系からのI/Oリクエストを、自系に転送すべきか他系に転送すべきかを判断する。

【0058】例えば転送制御部512のポート選択部601は、ポート制御部513のポート00出力516に対応し、ポート選択部602は、ポート制御部513のポート01出力517に対応する。また、転送制御部522のポート選択部601は、ポート制御部523のポ

ート10出力526に対応し、ポート選択部602は、ポート制御部513のポート11出力527に対応する。

【0059】レンジレジスタ611、621は、対応するポートが接続されるI/Oバスの持つI/O空間のレンジ(アドレス範囲)を保持するレジスタである。

【0060】レンジ比較部612、622は、CPUまたは他系から送られてくるI/Oリクエストの持つI/Oアドレスが、レンジレジスタ611、621で示される範囲に入っているか否かを判定し、範囲内にあれば一致信号を出力する。例えばレンジ比較部612は、CPUリクエスト入力又は他系からのI/Oリクエスト入力のI/Oアドレスと、レンジレジスタ611を構成し始点及び終点の値を保持するレジスタ611-1、611-2との大小を、コンパレータ612-1、612-2(ウィンドウコンパレータ)で比較し、コンパレータ612-1、612-2の出力は、2入力AND回路612-3に入力され、コンパレータ612-1、612-2の出力が共に論理値「1」の時、2入力AND回路612-3は一致信号を出力する。

【0061】ポート障害フラグ613、623は、対応するポートが障害状態であることを保持するレジスタである。

【0062】代替バス番号レジスタ614、624は、対応するポートへの代替バスを持つ系の番号を保持するレジスタである。

【0063】代替バス指示部615、625は、レンジ比較部612、622の出力する一致指示と、ポート障害フラグ613、623の値の論理和演算から、対応するポートが障害状態の時に、対応するポートへのI/Oアクセス要求(リクエスト)を、自系に転送せずに代替バスを有する他系に転送する事を示す代替バス指示信号を出力する。

【0064】自系指示部603は、各ポート選択部601、602の出力する一致指示のORをとり、CPUまたは他系から入力されたI/Oリクエストが自系のポートに対するアクセスである事を出力する。

【0065】他系指示部604は、各ポート選択部601、602の出力する代替バス指示信号の論理和演算をとり、CPUまたは他系から入力されたI/Oリクエストを、自系ではなく代替バスを持つ他系に出力する事を指示する。

【0066】代替バス選択部605は、ポート選択部601、602がそれぞれ保持する代替バス番号レジスタ614、624の値と、代替バス指示部615、625の出力する代替バス指示信号から、CPUまたは他系から入力されるI/Oリクエストを転送すべき代替バスを有する系を選択する。

【0067】リクエスト出力部606は、CPUまたは他系からのI/Oリクエストと、自系指示部603の出

力と、他系指示部604の出力と、代替バス選択部605の出力とから、当該I/Oリクエストを自系に転送するか又は他系に転送するかを判断して出力する。

【0068】また、リクエスト出力部606から他系への転送指示がある場合には、他系に対し強制転送指示を添付して転送する。あわせて、他系からのI/Oリクエストに強制転送指示がある場合は無条件に自系配下へI/Oリクエストを出力する。

【0069】図6は、図4に示したポート制御部513、523の詳細な構成を示す図である。なお、ポート制御部513、523は同一構成である為、図6には一方の構成のみが示されている。

【0070】図6を参照すると、リクエスト分配部701、702は、転送制御部512、522から送られてきたI/Oリクエストを、I/Oリクエストの持つI/Oアドレスから、対応するI/O空間を持つI/Oバスに接続されたポートの1つにのみ転送する。

【0071】本実施例では、ポート制御部513のポート分配部701がポート00出力516に対応し、ポート制御部513のポート分配部702がポート01出力517に対応し、ポート制御部523のポート分配部701がポート10出力526に対応し、ポート制御部523のポート分配部702がポート11出力527に対応する。

【0072】ポートレンジレジスタ711、721は、対応するポートの接続されるI/Oバスの持つI/Oアドレスのレンジを保持するレジスタである。

【0073】ポートリクエスト制御部712、722は、入力されたI/OリクエストのI/Oアドレスが、ポートレンジレジスタ711、721で指定される範囲に入っているかを判断し、範囲内にある場合には、対応するポートにリクエストを転送する。例えばポートリクエスト制御部712は、I/OリクエストのI/Oアドレスと、ポートレンジレジスタ711を構成し始点及び終点の値を保持するレジスタ711-1、711-2との大小をコンパレータ712-1、712-2(ウィンドウコンパレータ)で比較し、コンパレータ712-1、712-2の出力は2入力AND回路712-3に入力され、コンパレータ712-1、712-2の出力が共に論理「1」の時、2入力AND回路712-3は一致信号を出力する。

【0074】以上詳細に本発明の一実施例の構成を説明したが、図4のCPU511、521、多ポートブリッジ514、524、I/Oバス515、525は、当業者にとってよく知られたものが用いられ、また本発明の主題とは直接関係しないことから、その詳細な構成の説明は省略する。

【0075】次に本発明の一実施例の動作について説明する。

【0076】本発明の一実施例では、図4を参照する

10

20

30

40

50

と、まず前提条件として、各系のI/Oバス515、525の持つI/Oアドレスのレンジを、系501側のI/Oバス515を「0」～「9」、系502側のI/Oバス525を「10」～「19」とする。

【0077】このとき、転送制御部512、522の持つレンジレジスタ611、621(図5参照)、及び、ポート制御部513、523の持つレンジレジスタ711、712(図6参照)に対する設定例を、図7、図8、図9、及び図10にそれぞれ示す。

【0078】転送制御部512の状態を示す図7において、転送制御部512のポート選択部801は、ポート制御部513のポート00出力516に対応して、これがI/Oアドレスの「0」～「9」を持つ自系のI/Oバス515に接続されていることから、ポート選択部801のレンジレジスタ811には、始点を「0」、終点を「10」とした値を設定する。

【0079】次に、代替バス番号814には、ポート00出力516の接続されている多ポートブリッジ514に代替バスとして系502のポートが接続されていることから、系502を示す値として「2」を設定する。

【0080】また、ポート00出力516のバスに障害がない事とし、ポート障害フラグ813を論理値「0」に設定する。

【0081】ポート選択部802は、対応するポート01出力517が他系のI/Oバスの多ポートブリッジ524に接続されている事から、代替バスとして機能しているため、レンジレジスタ821に対する設定は、対応するポートを通常は使用しないように、無効とするため、レンジレジスタ821には、始点と終点をともに「0」に設定する。

【0082】また、対応するポートが代替バスであることから、ポート障害フラグ823と代替バス番号824は、不定のままとし、図7では「-」で示している。

【0083】同様にして、転送制御部522の状態を示す図8を参照すると、転送制御部522のポート選択部902は、ポート制御部523のポート10出力526に対応し、これがI/Oアドレスの「10」～「19」を持つ自系のI/Oバス525に接続されていることから、ポート選択部902のレンジレジスタ921には、始点を「10」、終点を「20」とした値を設定する。

【0084】代替バス番号レジスタ924には、ポート10出力526の接続されている多ポートブリッジ524に、代替バスとして系501のポート01出力517が接続されていることから、系501を示す値として「1」を設定する。また、ポート10出力526のバスに障害がない事とし、ポート障害フラグ923を例えば論理値「0」に設定する。

【0085】またポート選択部901は、対応するポート11出力527が、他系のI/Oバスの多ポートブリッジ524に接続されている事から、代替バスとして機

能しているため、レンジレジスタ911には、対応するポートを通常は使用しないように無効とするため、レンジレジスタ911には、始点と終点を「0」に設定する。

【0086】また、対応するポート11出力527が代替バスであることから、ポート障害フラグ913と代替バス番号914は、不定のままとし、図8では「-」で示す。

【0087】さらに、ポート制御部513の状態を示す図9を参照すると、ポート制御部513は、ポート00出力516を自系のI/Oバスに接続された多ポートブリッジ514、ポート01出力517を他系のI/Oバスに接続された多ポートブリッジ524にそれぞれ接続していることから(図4参照)、各ポートが接続されるI/Oバスのアドレスを指定するため、ポート制御部513のポート00出力516に対応したポートレンジレジスタ1011には、始点を「0」、終点を「10」とした値を設定し、ポート制御部513のポート01出力517に対応したポートレンジレジスタ1021には、始点を「10」、終点を「20」とした値を設定する。

【0088】またポート制御部523の状態を示す図10を参照すると、ポート制御部523は、ポート10出力526を、自系のI/Oバスに接続された多ポートブリッジ524、ポート11出力527が他系のI/Oバスに接続された多ポートブリッジ514にそれぞれ接続していることから、各ポートが接続されるI/Oバスのアドレスを指定するため、ポート制御部523のポート10出力526に対応したポートレンジレジスタ1111には、始点を「10」、終点を「20」とした値を設定し、ポート制御部513のポート11出力527に対応したポートレンジレジスタ1121には、始点を「0」、終点を「10」とした値を設定する。

【0089】これらを前提に、本発明の一実施例の動作の概要を、図4、図7、図8、図9、及び、図10、図13乃至図16を参照して説明する。図13乃至図16は、本発明の一実施例の動作を説明するためのシーケンスフローを示す図であり、図13は、通常動作時の自系CPUから自系I/Oバスに対するアクセス、図14は、通常動作時の自系CPUから他系I/Oバスに対するアクセス、図15は、障害状態時の自系CPUから自系I/Oバスに対するアクセス、図16は、障害状態時の自系CPUから他系I/Oバスに対するアクセスの、状態遷移(横軸は状態の推移に対応)の様子をそれぞれ示す図である。

【0090】始めに、通常のI/Oアクセスの動作概要について、図4、図7、図8、及び図13を参照して説明する。

【0091】まずCPU511がI/Oアドレスの4に対してアクセス要求(I/Oリクエスト)を出力すると、そのI/Oリクエストは、転送制御部512に転送

10

20

30

40

50

され、自系に転送するか他系に転送するかを決定する(図13の「状態1」から「状態2」参照)。この過程を、転送制御部512の構成を示す図7を用いて説明する。

【0092】図7を参照すると、CPUリクエスト入力にI/Oアクセスが入力されると、ポート選択部801、802が、自系のポートに対するアクセスであるかどうかを判断する。ポート選択部801では、レンジレジスタ811で指定された範囲がアドレスの「0」～「9」であり、入力されたI/OリクエストのI/Oアドレスが「4」であることから、レンジ比較部812が一致信号を出力する。

【0093】また、ポート障害フラグ813が論理値「0」であるため、代替バス指定信号は出力されない。

【0094】ポート選択部802では、レンジレジスタ821で指定される範囲のアドレスの始点及び終点とも「0」であり、 $0 \leq x < 0$ を満たすI/Oアドレスはないため、一致信号が出力されることはなく、また一致信号が有効にならないため、代替バス指示信号も有効とならないため、ポート選択部802は、一致信号も代替バス信号のどちらも出力しない。

【0095】次に、ポート選択部801、802の一致信号を論理和演算している自系指示部803では、ポート選択部801の一致信号が有効であるため、有効となる。

【0096】またポート選択部801、802の代替バス指示信号を論理和演算している他系指示部804は、ポート選択部801、802のどちらの代替バス指示信号も無効であることから、無効となる。

【0097】リクエスト出力部806は、自系指示部803が有効を出力し、他系指示部804が無効を指定していることから、自系の持つポートに対するアクセスであるものと判断し、自系のリクエスト出力に、I/Oリクエストを転送する。

【0098】これにより、I/Oアドレスの「4」に対するI/Oリクエストが、図4における転送制御部512からポート制御部513に転送される(図13の「状態3」参照)。

【0099】次に、ポート制御部513では、入力されたI/Oリクエストをどのポートに転送するかを判断し、転送を行う。

【0100】この過程をポート制御部513に対応した図9を用いて説明する。

【0101】図9を参照すると、バスリクエストを通して入力されたI/Oリクエストは、ポート制御部513内のポート分配部1001、1002に入力される。

【0102】ポート分配部1001、1002では、ポートレンジレジスタ1011、1012の持つアドレスレンジと、I/Oリクエストの持つI/Oアドレスとから、ポートリクエスト制御部1012、1022におい

て、自ポートに対するアクセスかを判断しI/Oリクエストの転送を行う。図9においては、ポートレンジレジスタ1011がアドレスレンジ「0」～「9」、ポートレンジレジスタ1021がアドレスレンジ「10」～「19」を持ち、入力されたI/OリクエストのI/Oアドレスが「4」であることから、ポート分配部1001の出力であるポート0側にI/Oリクエストを転送する。

【0103】これにより、I/Oアドレス「4」に対するI/Oリクエストが、図4におけるポート制御部513から多ポートブリッジ514に転送されることになる(図13の「状態4」参照)。

【0104】次に、多ポートブリッジ514は、入力されたI/Oリクエストを、配下のバスに転送することで、CPUからのI/Oアドレスの「4」に対するI/Oリクエストが、アドレスレンジ「0」～「9」を持つI/Oバス515に正しく転送される事になる(図13の「状態5」参照)。

【0105】つづいて、CPU511がI/Oアドレスの「14」に対してアクセスを出力した場合について、図4、図7、図8、図9、及び図14を参照して説明する。

【0106】まず、I/Oアドレスの「14」に対するアクセス(I/Oリクエスト)は、転送制御部512に転送され、転送制御部512で自系に転送するか他系に転送するかを決定する(図14の「状態1」から「状態2」参照)。この過程を図7を参照して説明すると、図7のCPUリクエスト入力にI/Oアクセスが入力されると、ポート選択部801、802が、自系のポートに対するアクセスであるかどうかを判断する。

【0107】ポート選択部801では、レンジレジスタ811で指定された範囲がアドレス「0」～「9」であるのに対し、入力されたI/OリクエストのI/Oアドレスが「14」であることから、レンジ比較部812は一致信号を出力しない。また、ポート障害フラグ813が論理値「0」であるため、代替バス指定信号は出力されない。

【0108】次に、ポート選択部802内では、レンジレジスタ821で指定される範囲のアドレスが $0 \leq x < 0$ となるため、常に一致信号が出力されることはなく、また、一致信号が有効にならないため代替バス指示信号も有効とならないため、ポート選択部802は、一致信号も代替バス信号のどちらも出力しない。

【0109】これにより、ポート選択部801、802の一致信号を論理和(OR)演算している自系指示部803も、ポート選択部801、802の代替バス指示信号を論理和(OR)演算している他系指示部804のどちらもその出力が無効となる。

【0110】リクエスト出力部806は、自系指示部803と他系指示部804双方の出力が無効であると判断

すると、このI/Oリクエストが自系のI/Oバスに対するアクセスではないものとして、他系リクエスト出力にI/Oリクエストを転送する。

【0111】これにより、I/Oアドレスの「14」に対するI/Oリクエストが、図4における転送制御部512から転送制御部522に転送される事になる(図14の「状態3」参照)。

【0112】次に、転送制御部522は、自系に転送するか他系に転送するかを決定する。この過程を図8を参照して説明すると、図8の他系リクエスト入力にI/Oアクセスが入力されるとポート選択部901、902が自系のポートに対するアクセスであるかどうかを判断する。ポート選択部902では、レンジレジスタ921で指定された範囲がアドレス「10」～「19」であり、入力されたI/OリクエストのI/Oアドレスが「14」であることから、レンジ比較部922が一致信号を出力する。

【0113】また、ポート障害フラグ923が「0」であるため、代替バス指定信号は出力されない。次にポート選択部902では、レンジレジスタ911で指定される範囲のアドレスが $0 \leq x < 0$ となるため、常に一致信号が出力される事はなく、また一致信号が有効にならないければ代替バス指示信号も有効にならないため、ポート選択部901は、一致信号も代替バス信号のどちらも出力しない。

【0114】次にポート選択部901、902の一致信号を論理和演算している自系指示部903は、ポート選択部902の一致信号が有効であるため、同じく有効となる。またポート選択部901、902の代替バス指示信号を論理和演算している他系指示部904は、ポート選択部901、902のどちらの代替バス指示信号も無効であることから、無効となる。

【0115】リクエスト出力部906は、自系指示部903が有効であることを出力し、他系指示部904が無効を指定していることから、自系の持つポートに対するアクセスであるものと判断し、自系リクエスト出力にI/Oリクエストを転送する。

【0116】これにより、I/Oアドレスの「14」に対するI/Oリクエストが、図4における転送制御部522からポート制御部523に転送される事になる(図14の「状態4」参照)。

【0117】次に、ポート制御部523では入力されたI/Oリクエストをどのポートに転送するかを判断し、転送を行う。この過程をポート制御部523の構成を示す図10を参照して説明する。

【0118】図10を参照すると、バスリクエストを通して入力されたリクエストは、ポート制御部523のポート分配部1101、1102に入力される。ポート分配部1101、1102では、ポートレンジレジスタ1111、1112の持つアドレスレンジとI/Oリクエ

ストの持つI/Oアドレスとからポートリクエスト制御部1112、1122において、自ポートに対するアクセスかを判断し、リクエストの転送を行う。図10においては、ポートレンジレジスタ1111がアドレスレンジ「10」～「19」、ポートレンジレジスタ1121がアドレスレンジ「0」～「9」を持ち、入力されたリクエストのI/Oアドレスが「14」であることからポート分配部1101の出力であるポート0側にリクエストを転送する。

【0119】これにより、I/Oアドレスの「14」に対するI/Oリクエストが、図4におけるポート制御部523から多ポートブリッジ524に転送される事になる(図14の「状態5」参照)。

【0120】次に多ポートブリッジ524は入力されたI/Oリクエストを配下のバスに転送することで、CPU511からI/Oアドレス14のリクエストが、アドレスレンジの「10」～「19」を持つI/Oバス525に正しく転送される事になる(図14の「状態6」参照)。

【0121】なお、系間の構造が対称であることから、CPU521からI/Oバス515、525に対するリクエストも同等にして動作する。

【0122】次に、ポート制御部513に障害が発生し、リクエストの転送ができなくなった場合について説明する。

【0123】この場合、ポート制御部513が障害となると、配下にあるポート00出力516、ポート01出力517が使えなくなることから、ポート制御部513に対しI/Oリクエストを転送する転送制御部512の持つポート障害フラグ813、823の値を論理値「1」にセットする。この時の転送制御部512の状態を図11に示す。

【0124】この状態における、本発明の一実施例の動作について、図4、図8、図9、図10、図11、図15、及び図16を参照して説明する。

【0125】先と同様に、CPU511からI/Oアドレス「4」に対してI/Oリクエストが出力された場合について説明する。

【0126】まずCPU511がI/Oアドレス「4」に対してアクセス(I/Oリクエスト)を出力すると、I/Oリクエストは、転送制御部512に転送され、自系に転送するか他系に転送するかを決定する(図15の「状態1」から「状態2」)。この過程を図11を参照して説明すると、図11のCPUリクエスト入力にI/Oリクエストが入力されると、ポート選択部1201、1202が、自系のポートに対するアクセスであるかどうかを判断する。

【0127】ポート選択部1201内では、レンジレジスタ1211で指定された範囲がアドレス「0」～「9」であり、入力されたI/OリクエストのI/Oア

ドレスが「4」であることから、レンジ比較部1212が一致信号を出力する。

【0128】また、このときポート障害フラグ1213も論理値「1」であることから、代替バス指定信号が出力されることになる。

【0129】次に、ポート選択部1202内では、レンジレジスタ1221で指定される範囲のアドレスが $0 \leq x < 0$ なるため、一致信号が出力されることはなく、また一致信号が有効にならなければ代替バス指示信号も有効とならないため、ポート選択部1202は、一致信号も代替バス信号のどちらも出力しない。

【0130】次に、ポート選択部1201、1202の一致信号を論理和演算している自系指示部1203は、ポート選択部1201の一致信号が有効であるため、有効となる。またポート選択部1201、1202の代替バス指示信号を論理和演算している他系指示部1204も、ポート選択部1201の代替バス指示信号が有効であるため、有効となる。

【0131】リクエスト出力部1206は、他系指示部1204が有効であることから、自系指示部1203に 20 関係なく、他系に対するアクセスであるものと判断して他系への転送を行う。このとき、どの系に転送するかを判断するために、代替バス選択部1205の出力を代替バス番号として用いる。

【0132】代替バス選択部1205は、代替バス番号1214、1224を入力し、代替バス指示部1215、1225のうち論理値「1」を出力する方の代替バス番号を選択するものであり、代替バス指示信号を出力したポート選択部が保持する代替バス番号を選択出力する。したがって、ここでは、代替バス指示信号を出力した 30 ポート選択部1201の持つ代替バス番号1214の値である系501(図4参照)を示す「2」が出力される。

【0133】リクエスト出力部1206は、入力されたリクエストを代替バス選択部の指示に従い、系502(図4参照)に転送する。

【0134】これにより、I/Oアドレスの「4」に対するI/Oリクエストが、図4における転送制御部512から転送制御部522に転送される事になる。また、このときリクエストとして、強制転送指示を付加して転 40 送する(図15の「状態3」参照)。

【0135】次に、転送制御部522では、強制転送指示が付加されI/Oリクエストを受け取ると、無条件で自系リクエスト出力に転送する。

【0136】これにより、I/Oアドレス「4」に対するI/Oリクエストが、図4における転送制御部522からポート制御部523に転送される事になる(図15の「状態4」参照)。

【0137】次に、ポート制御部523では、入力されたI/Oリクエストをどのポートに転送するかを判断 50

し、転送を行う。この過程をポート制御部523の構成を示した図10を参照して説明する。

【0138】バスリクエストを通して入力されたI/Oリクエストは、ポート制御部523内のポート分配部1101、1102に入力される。ポート分配部1101、1102では、ポートレンジレジスタ1111、1121の持つアドレスレンジとリクエストの持つI/Oアドレスとから、ポートリクエスト制御部1112、1122において、自ポートに対するアクセスか否かを判断し、I/Oリクエストの転送を行う。図10においては、ポートレンジレジスタ1111がアドレスレンジ「10」～「19」、ポートレンジレジスタ1121がアドレスレンジ「0」～「9」を持ち、入力されたI/OリクエストのI/Oアドレスが「4」であることから、ポート分配部1102の出力であるポート1側にI/Oリクエストを転送する。

【0139】これにより、I/Oアドレス「4」に対するI/Oリクエストが、図4におけるポート制御部523から多ポートブリッジ514に転送される事になる(図15の「状態5」参照)。

【0140】次に、多ポートブリッジ514は入力されたI/Oリクエストを配下のバスに転送することで、CPUからのI/Oアドレスの「4」に対するI/Oリクエストが、アドレスレンジ「0」～「9」を持つI/Oバス515に転送される事になる(図15の「状態6」参照)。

【0141】つまり、I/Oアドレスの「4」に対するアクセスが、障害を起こしているポート制御部513を通過することなく、[CPU511]→[転送制御部512]→[転送制御部522]→[ポート制御部523]→[多ポートブリッジ514]→[I/Oバス515]と転送されることになり、先に示した、[CPU511]→[転送制御部512]→[ポート制御部513]→[多ポートブリッジ514]→[I/Oバス515]の通常バスに対する代替バスを構成していることになる。

【0142】次に、CPU521からI/Oアドレス「4」に対するアクセスについて、図4、図8、図9、図10、及び図16を参照して説明する。

【0143】まず、CPU521がI/Oアドレス「4」に対してアクセスを要求(I/Oリクエスト)出力したすると、そのリクエストは転送制御部522に転送され、自系に転送するか他系に転送するかを決定する(図16の「状態1」から「状態2」参照)。この過程を図8を参照して説明すると、図8のCPUリクエスト入力にI/Oリクエストが入力されると、ポート選択部901、902が、自系のポートに対するアクセスであるか否かを判断する。ポート選択部902内では、レンジレジスタ921で指定された範囲がアドレス「10」～「19」であるのに対し、入力されたI/Oリクエ

トのI/Oアドレスが「4」であることから、レンジ比較部912は一致信号を出力しない。

【0144】また、ポート障害フラグ913が論理値「0」であるため、代替バス指定信号も出力されない。
【0145】次に、ポート選択部902内では、レンジレジスタ911で指定される範囲のアドレスが $0 \leq x < 0$ となるため、一致信号は出力されない。一致信号が有効にならなければ代替バス指示信号も有効にならないため、ポート選択部901は、一致信号も代替バス信号のどちらも出力しない。

【0146】これにより、ポート選択部901、902の一致信号を論理和(OR)演算している自系指示部903も、ポート選択部901、902の代替バス指示信号を論理和演算している他系指示部904のどちらも、その出力が無効となる。

【0147】リクエスト出力部906は、自系指示部903と他系指示部904双方の出力が無効であるものと判断し、このリクエストが自系のI/Oバスに対するアクセスではないものとして、他系リクエスト出力にI/Oリクエストを転送する。

【0148】これにより、I/Oアドレス「4」に対するI/Oリクエストが、図4における転送制御部522から転送制御部512に転送される事になる(図16の「状態3」参照)。

【0149】転送制御部512では、転送制御部522からのリクエストを受け取ると、該リクエストに強制転送指示があるかどうかを判定する。この場合、強制転送指示がないため、転送制御部512は、他系からのリクエストを、自系のCPU511から来たリクエストと同等の処理を実行開始する。

【0150】したがって、これ以降の処理は、前述した、CPU511から、I/Oアドレスの4に対するアクセスが来た場合と同等の動作(図15の「状態2」と同等)となり、結果として、[CPU521]→[転送制御部522]→[転送制御部512]→[転送制御部522]→[ポート制御部523]→[多ポートブリッジ514]→[I/Oバス515]と転送されることになり(図16の「状態1」から「状態7」参照)、[CPU521]→[転送制御部522]→[転送制御部512]→[ポート制御部513]→[多ポートブリッジ514]→[I/Oバス515]の通常バスに対する代替バスを構成していることになる。

【0151】本発明の他の実施例について以下に説明する。本発明の第二の実施例として、その基本的構成は、前記実施例と同様であるが、ポート制御部についてさらに改良を施したものである。図12は、本発明の第二の実施例のポート制御部の構成を示す図である。図12を参照すると、ポートレンジレジスタは、各ポートの始点アドレスを示すレジスタと終点アドレスを示すレジスタを共用している。

【0152】図12において、始点レジスタ1301は、ポート制御部配下の持つアドレスの始点をその値として保持する。終点レジスタ1302は、ポート制御部配下のポートの持つアドレスの終点をその値として保持する。ポート始点レジスタ1303は、ポート制御部の持つ各ポート間のアドレスの切れ目を示す。ポートリクエスト制御部1304は、始点レジスタ1301と始点レジスタ1303または始点レジスタ1303と終点レジスタ1302間にリクエストのI/Oアドレスが含まれるかを判断し、I/Oアドレスが含まれる場合、対応するポートに対してI/Oリクエストを出力する。

【0153】このように、本実施例では、ポート制御部の各ポート間の始点と終点を示すレジスタを共用しているので、レジスタの数を削減することができる。

【0154】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0155】本発明の第1の効果は、障害を起こしたバスを指定するフラグを設け、その状態によりI/Oバスに対する転送バスを変更し、障害部分をバイパスするような構成としたことにより、I/Oバスへの複数のバスのいずれかに障害が発生した場合にI/Oバスそのものが使えなくなるという事態を回避することが出来る、ということである。このため、I/Oカード2枚を個別のバスの接続にし、周辺デバイスにクロスバスを張るという対応を不要としている。

【0156】本発明の第2の効果は、CPUから出力されるリクエスト自身にバスを指定する情報を持たせていないため、ソフトウェア的に代替バスを意識する必要はなく、既存の代替バスを意識しないオペレーティングシステムなどの環境でも、障害時の代替バスを実現することができる、ということである。

【図面の簡単な説明】

【図1】本発明の実施の形態の構成を示す図である。

【図2】本発明の実施の形態における転送制御部の構成を示す図である。

【図3】本発明の実施の形態におけるポート制御部の構成を示す図である。

【図4】本発明の一実施例の構成を示す図である。

【図5】本発明の一実施例における転送制御部の構成を示す図である。

【図6】本発明の一実施例におけるポート制御部の構成を示す図である。

【図7】本発明の一実施例の具体的動作を説明するための図であり、図5の転送制御部512の設定状態の一例を模式的に示す図である。

【図8】本発明の一実施例の具体的動作を説明するための図であり、図5の転送制御部522の設定状態の一例を模式的に示す図である。

【図9】本発明の一実施例の具体的動作を説明するための図であり、図5のポート制御部513の設定状態の一例を模式的に示す図である。

【図10】本発明の一実施例の具体的動作を説明するための図であり、図5のポート制御部523の設定状態の一例を模式的に示す図である。

【図11】本発明の一実施例の具体的動作を説明するための図であり、図5のポート制御部513障害時の転送制御部512の設定状態の一例を模式的に示す図である。

【図12】本発明の第二の実施例におけるポート制御部の構成を示す図である。

【図13】本発明の一実施例における通常動作時の動作フローを説明するためのシーケンス図であり、自系CPUから自系I/Oバスに対するアクセスの状態遷移を示す図である。

【図14】本発明の一実施例における通常動作時の動作フローを説明するためのシーケンス図であり、自系CPUから他系I/Oバスに対するアクセスの状態遷移を示す図である。

【図15】本発明の一実施例における障害状態時の動作フローを説明するためのシーケンス図であり、自系CPUから自系I/Oバスに対するアクセスの状態遷移を示す図である。

【図16】本発明の一実施例における障害状態時の動作フローを説明するためのシーケンス図であり、自系CPUから他系I/Oバスに対するアクセスの状態遷移を示す図である。

【図17】従来の代替バス制御システムの構成の一例を示す図である。

【符号の説明】

111、121、411、421、511、521 CPU
112、122、412、422、512、522 転

送制御部

113、123、513、523 ポート制御部

114、115、124、125、514、524 多
ポートブリッジ

116、117、126、127、415、416、4
25、426、515、525 I/Oバス、

201、202、203、204、601、602、8
01、802、901、902 ポート選択部

205、603、803、903、1203 自系指示
部

206、604、804、1204 他系指示部

207、606、805、905、1205 代替バス
選択部

208、606、806 906、1206 リクエ
スト出力部

211、611、621、811、821、911、9

21、1211、1221 レンジレジスタ

212、612、622、812、822、912、9

22、1212、1222 レンジ比較部

20 213、613、623、813、823、913、9

23、1213、1223 ポート障害フラグ

214、614、624、814、824、914、9

24、1214、1224 代替バス番号レジスタ

215、615、625、815、825、1225

代替バス指示部

301、302、303、304、1001、100

2、1101、1102 リクエスト分配部

311、711、721、1011、1021、111

1、1121 1301、1303、1303 ポート

30 レンジレジスタ

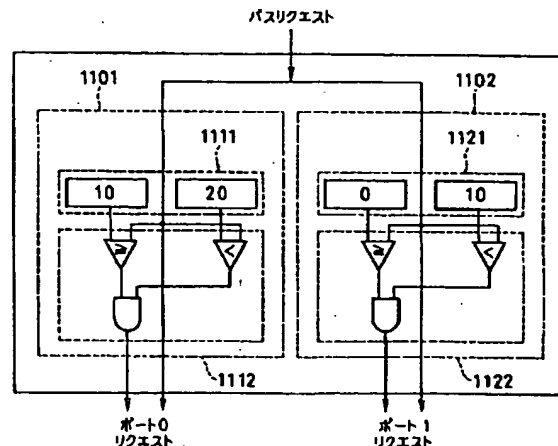
312、712、722、1012、1022、111

2、1122、1304 ポートリクエスト制御部

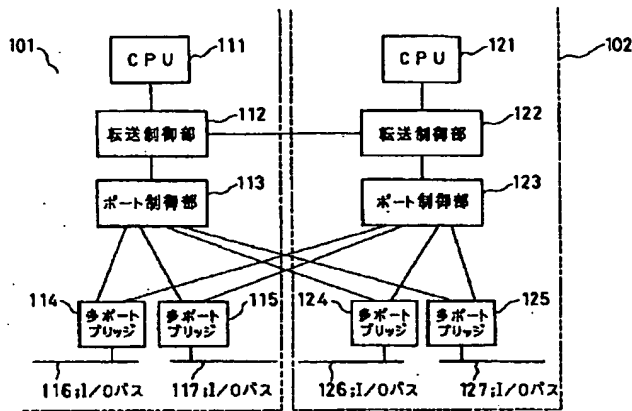
417、427 SCSIカード

43 ディスク装置

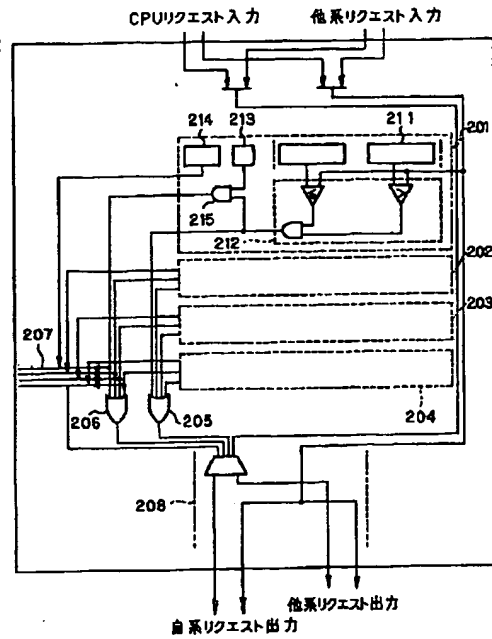
【図10】



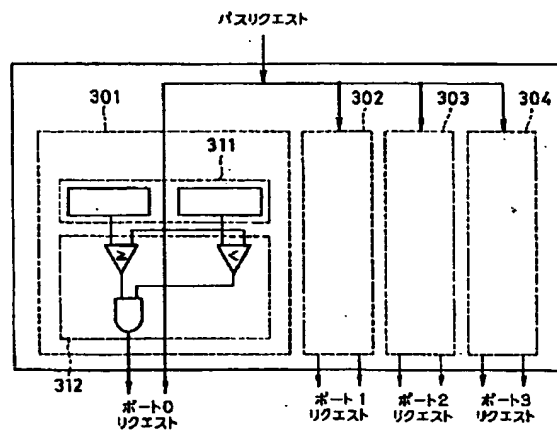
【 図1 】



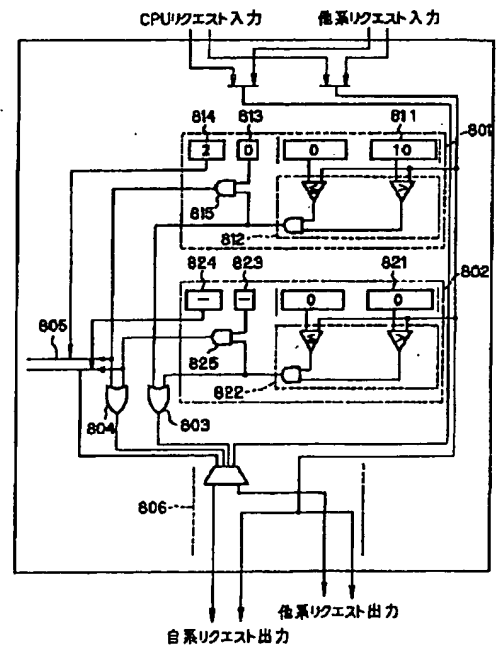
【 図2 】



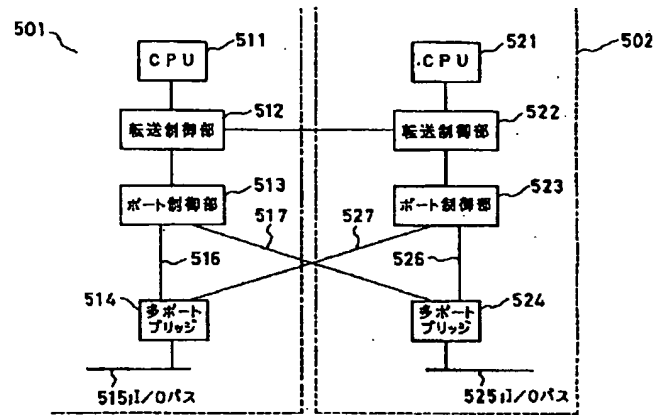
【 図3 】



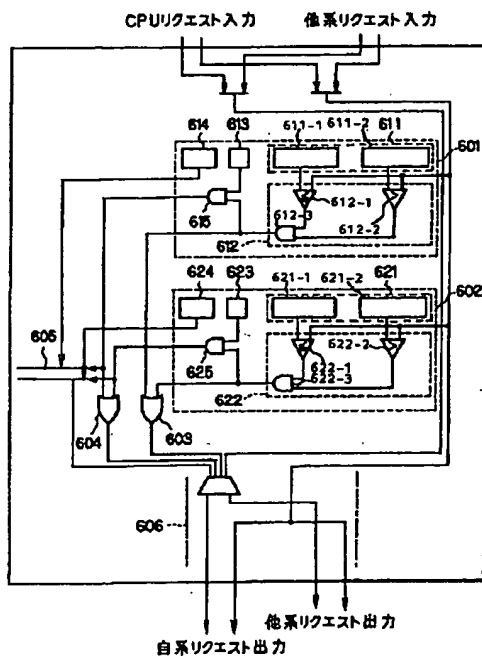
【 図7 】



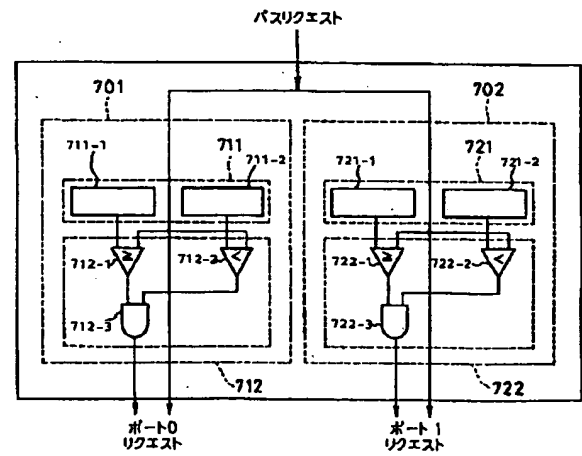
【 図4 】



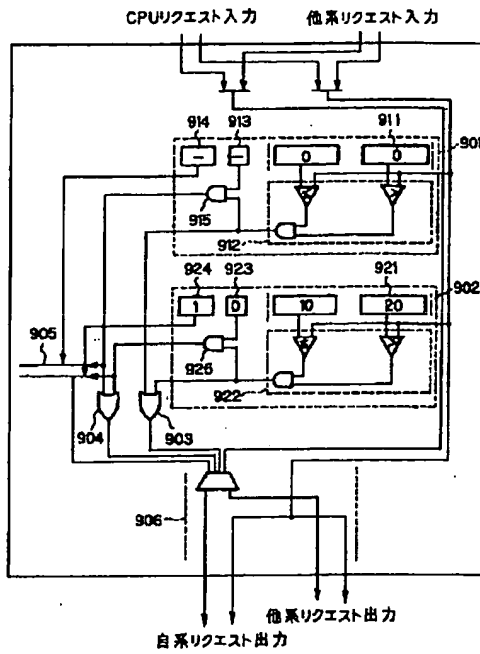
【 図5 】



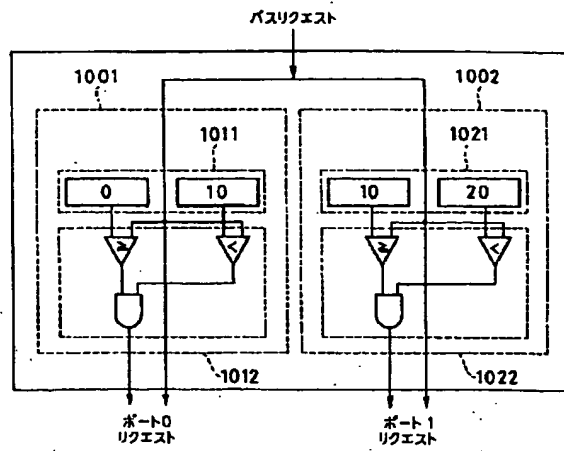
【 図6 】



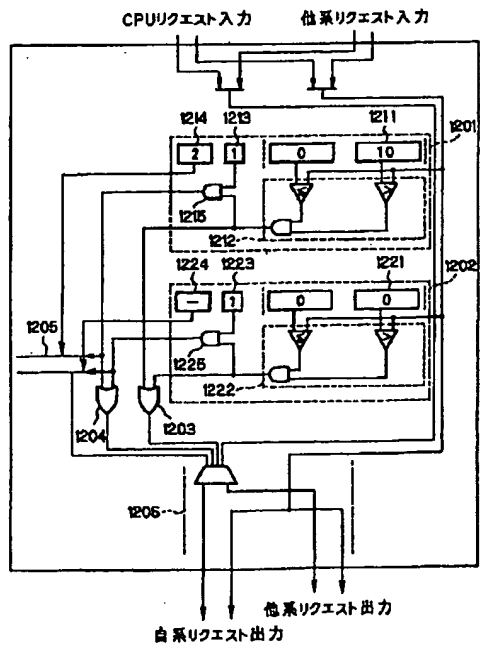
【 図8 】



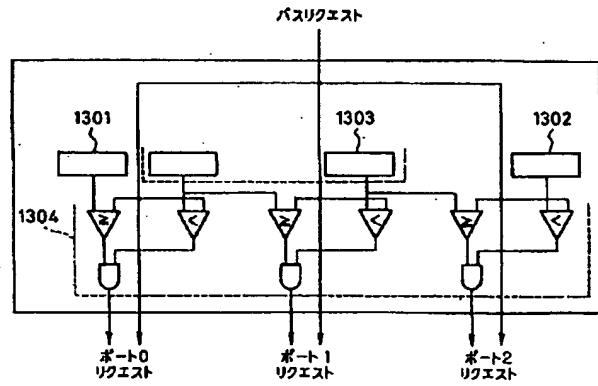
【 図9 】



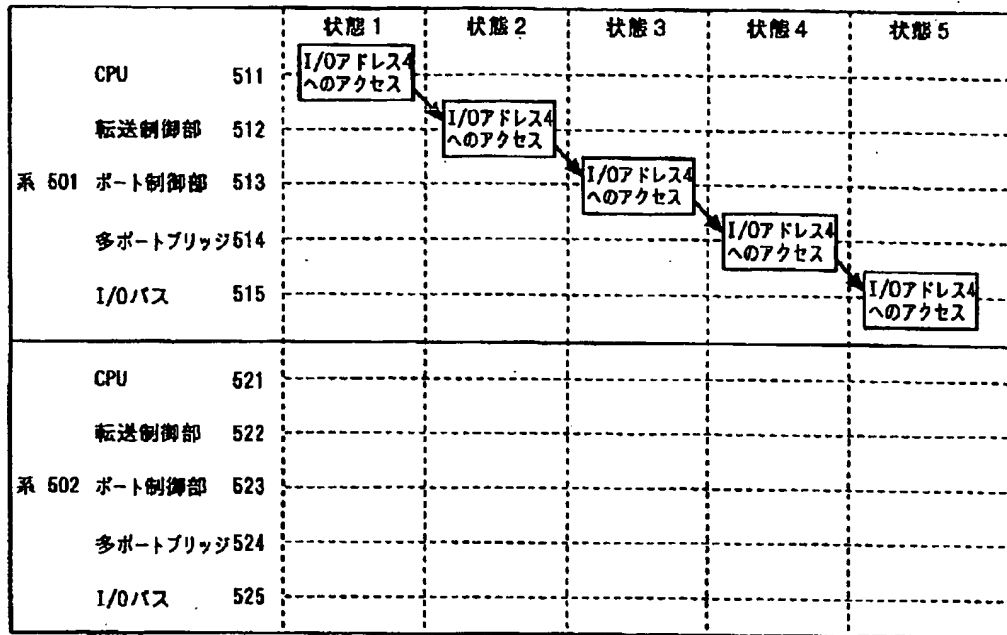
【 図11 】



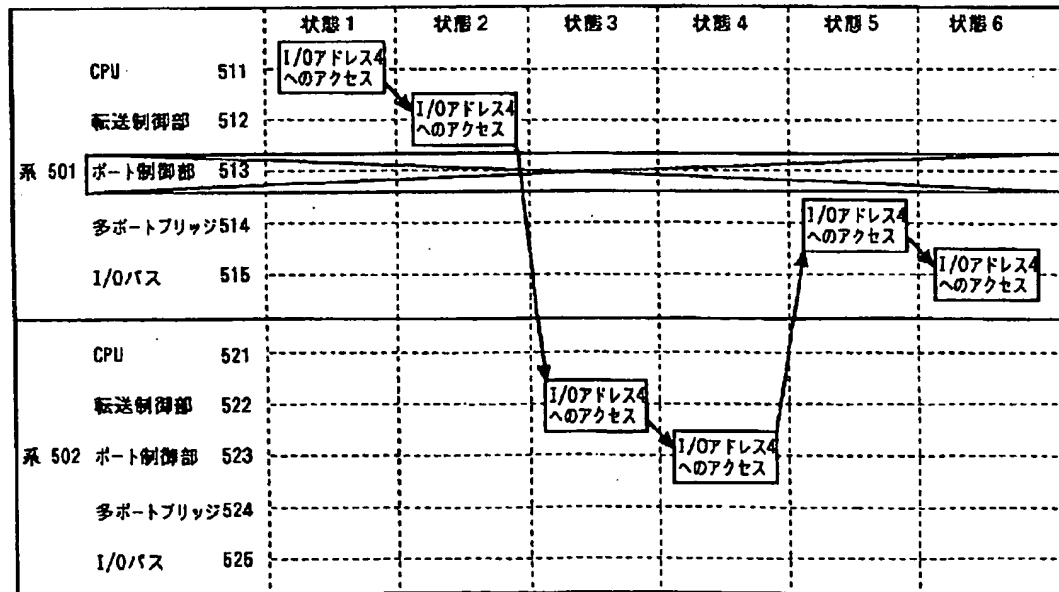
【 図12 】



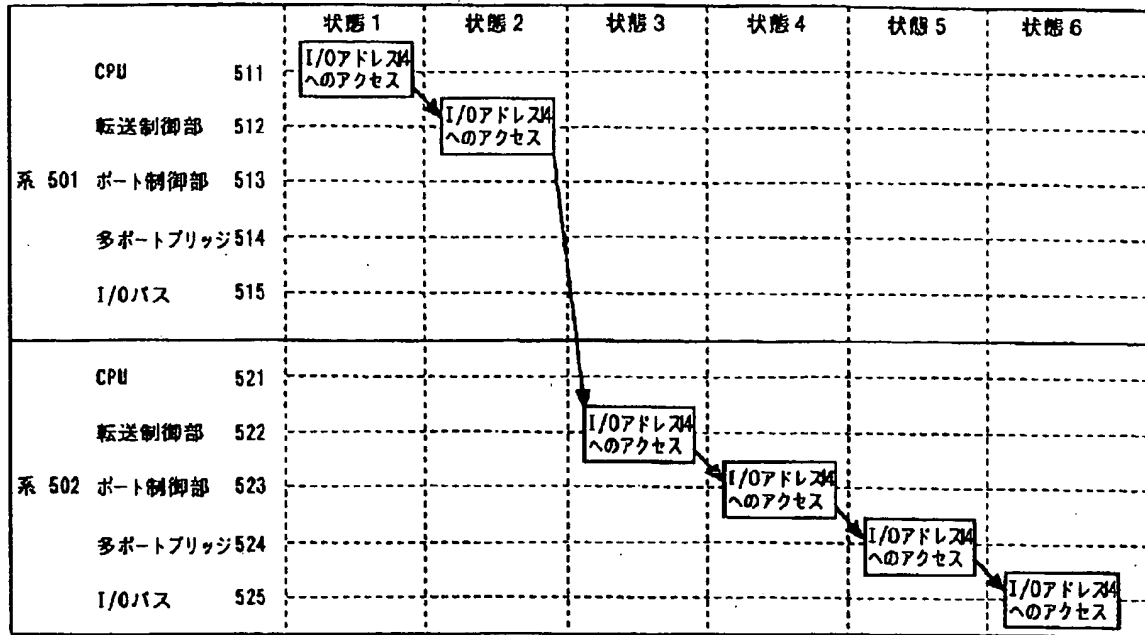
【 図13 】



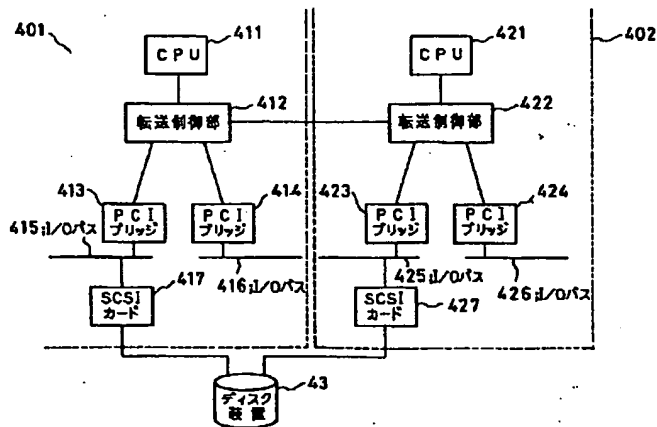
【 図15 】



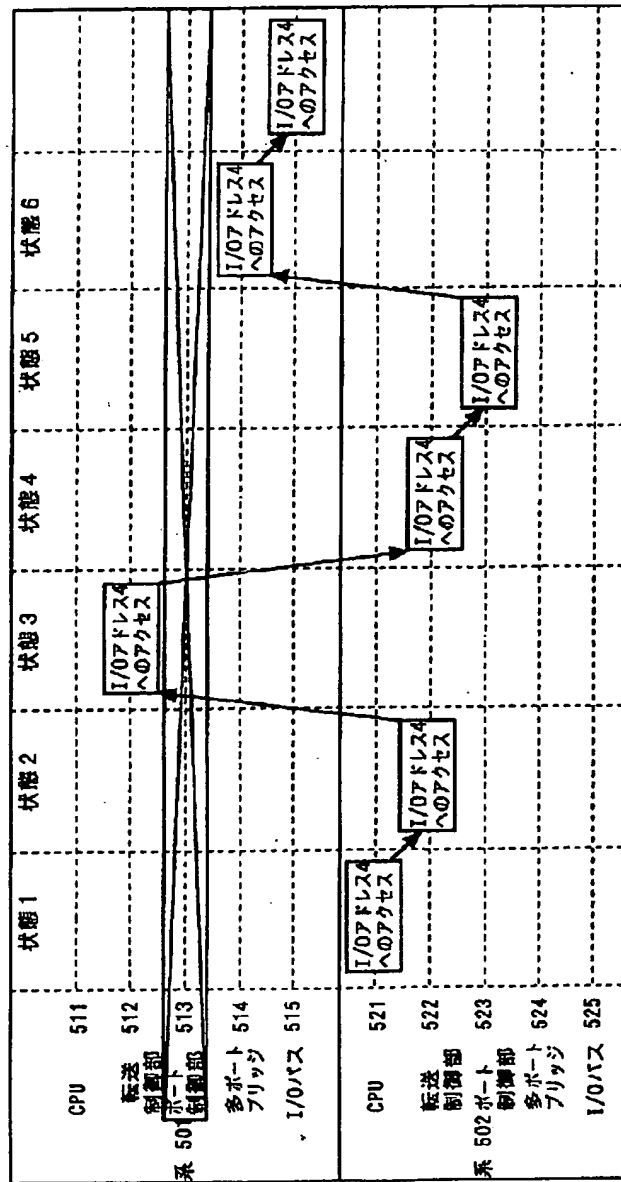
【 図14 】



【 図17 】



【 図16 】



【 手続補正書】

【 提出日】平成11年8月2日

【 手続補正1】

【 補正対象書類名】明細書

【 補正対象項目名】請求項1

【 補正方法】変更

【 補正内容】

【 請求項1】複数の系のそれぞれがCPUとI/Oバスを備え、前記各I/Oバス毎に固有のアドレス空間を有し、各系毎に前記CPUから前記I/Oバスに対する独

立したバスを有し、且つ系間に専用のバスを有する情報処理装置の代替バス制御システムであって、

一の系のCPUからI/Oバスに至るバス上に障害が発生した場合、前記CPUからの前記I/Oバスに接続するI/O装置へのアクセス要求を、他系のバスを経由して転送するように制御する手段を備えたことを特徴とする代替バス制御システム。

【 手続補正2】

【 補正対象書類名】明細書

【補正対象項目名】請求項1 2

【補正方法】変更

【補正内容】

【請求項1 2】複数の系のそれぞれがCPUとI/Oバスを備え、各系毎に前記CPUから前記I/Oバスに対する独立したバスを有し、且つ系間に専用のバスを有する情報処理装置の代替バスの制御方法であって、一の系のCPUからI/Oバスに到るパス上で障害発生時、前記一の系又は他の系のCPUからの前記一の系のI/Oバスに接続するI/O装置へのI/Oリクエストを、一旦、他の系に転送した後、前記I/Oバスのポートの入り口で、再度、前記一の系に戻すように制御する、ことを特徴とする代替バス制御方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】

【課題を解決するための手段】前記目的を達成するため、本発明は、複数の系のそれぞれがCPUとI/Oバスを備え、各I/Oバス毎に固有のアドレス空間を有し、各系毎に前記CPUから前記I/Oバスに対する独立したバスを有し、且つ系間に専用のバスを有する情報処理装置において、一の系のCPUから前記I/Oバスへのパス上に障害が発生した場合、前記CPUからの前記I/Oリクエストを他系を経由して転送するように制御する手段を備えたことを特徴とする。